

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-237192

(43)Date of publication of application : 23.08.2002

(51)Int.Cl.

G11C 16/06
H01L 27/04
H01L 21/822
H01L 21/8234
H01L 27/088
H02M 3/07

(21)Application number : 2001-032656

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 08.02.2001

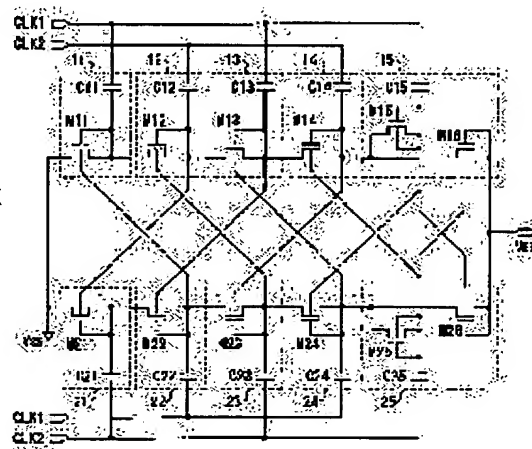
(72)Inventor : FUCHIGAMI IKUO
KATAOKA TOMONORI
NISHIDA YOICHI
KIMURA TOMOO
KAWAI MASARU

(54) NEGATIVE BOOSTING CIRCUIT AND NON-VOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To improve boosting efficiency of a negative boosting circuit, especially the negative boosting circuit used for a non-volatile semiconductor memory.

SOLUTION: This device comprises boosting cell columns of two columns (n) stages operated with a clock of reversed phase, a back gate of a N type MOS transistor in a boosting cell of an (i)th stage is connected to an output of a boosting cell of (i+1)th stages of opposing boosting cell columns, prevents that PN junction between the back gate and a drain of the N-channel MOS transistor is made forward bias, and obstructs operation of a parasitic bipolar transistor.



LEGAL STATUS

[Date of request for examination] 30.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-237192

(P2002-237192A)

(43) 公開日 平成14年8月23日 (2002.8.23)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
G 1 1 C	16/06	H 0 2 M 3/07	5 B 0 2 5
H 0 1 L	27/04	G 1 1 C 17/00	6 3 2 B 5 F 0 3 8
	21/822	H 0 1 L 27/04	G 5 F 0 4 8
	21/8234	27/08	1 0 2 J 5 H 7 3 0
	27/088		

審査請求 未請求 請求項の数13 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2001-32656(P2001-32656)

(22) 出願日 平成13年2月8日 (2001.2.8)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 淵上 郁雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 片岡 知典

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100081813

弁理士 早瀬 憲一

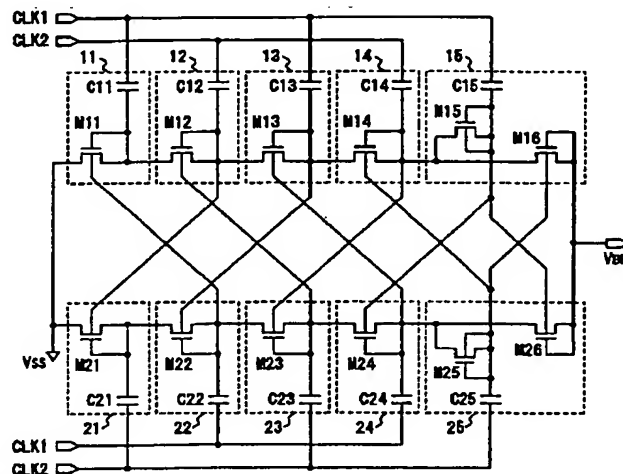
最終頁に続く

(54) 【発明の名称】 負昇圧回路及び不揮発性半導体記憶装置

(57) 【要約】

【課題】 負昇圧回路、特に不揮発性半導体記憶装置に用いられる負昇圧回路の昇圧効率を向上する。

【解決手段】 逆相のクロックで動作する2列n段の昇圧セル列からなり、i段目の昇圧セル内のN型MOSトランジスタのバックゲートは対面する昇圧セル列のi+1段目の昇圧セルの出力と接続され、上記N型MOSトランジスタのバックゲートとドレイン間のPN接合が順バイアスになることを防ぎ、寄生バイポーラトランジスタの動作を阻止する。



1

【特許請求の範囲】

【請求項1】 直列接続された複数の昇圧セル列からなる昇圧セルを並行に2列備えた負昇圧回路であって、上記昇圧セルは一つあるいは複数のN型MOSトランジスタと、一つあるいは複数の昇圧容量とを備え、上記昇圧容量の一端には昇圧クロックが入力され、対面する上記昇圧セル列の昇圧セルには互いに逆相の昇圧クロックが入力され、

上記昇圧セル内の少なくとも一つのN型MOSトランジスタのバックゲート端子を、対面する上記昇圧セル列の昇圧セルより1段後段の上記昇圧セルの出力端と接続する、

ことを特徴とする負昇圧回路。

【請求項2】 請求項1記載の負昇圧回路において、上記昇圧セル列の最終段セルは、ゲートとドレインとを接続したダイオード接続で、ソースを上記最終段セルの入力端に接続し、ドレインを上記負昇圧回路の出力端とした第1のN型MOSトランジスタと、

ゲートとドレインとを接続したダイオード接続で、ソースを上記最終段セルの入力端に接続し、バックゲートをドレインに接続した第2のN型MOSトランジスタと、一端を上記第2のN型MOSトランジスタのドレインに接続し、他端を上記昇圧クロックの入力端とした昇圧容量とを備え、

上記第2のN型MOSトランジスタのドレインをバックバイアス出力端とし、対面する上記昇圧セル列の1段前段の昇圧セル内のN型MOSトランジスタのバックゲート端子に該バックバイアス出力端を接続し、上記第1のN型MOSトランジスタのバックゲートを対面する上記昇圧セル列の最終段セルのバックバイアス出力端に接続する、

ことを特徴とする負昇圧回路。

【請求項3】 請求項1または請求項2に記載の負昇圧回路において、

上記昇圧セルは、一つのN型MOSトランジスタと一つの昇圧容量とを備え、

上記N型MOSトランジスタは、ゲートとドレインとを接続したダイオード接続で、ソースを上記昇圧セルの入力端、ドレインを上記昇圧セルの出力端、バックゲートをバックバイアス入力端とし、上記昇圧容量の一端を上記N型MOSトランジスタのドレインに接続し、他端を昇圧クロックの入力端とした、

ことを特徴とする負昇圧回路。

【請求項4】 請求項1または請求項2に記載の負昇圧回路において、

上記昇圧セルは、第1のN型MOSトランジスタと第2のN型MOSトランジスタと、第1の昇圧容量と第2の昇圧容量とを備え、

上記第1のN型MOSトランジスタは、ソースを上記昇

2

圧セルの入力端とし、ドレインを上記昇圧セルの出力端とし、上記第2のN型MOSトランジスタは、その電流経路の一端を上記第1のN型MOSトランジスタのドレインと接続し、その電流経路の他端を上記第1のN型MOSトランジスタのゲートと接続し、上記第2のN型MOSトランジスタのゲートを上記第1のN型MOSトランジスタのソースと接続し、上記第1の昇圧容量は、その一端を上記第1のN型MOSトランジスタのドレインに接続し、他端を第1の昇圧クロック入力端とし、上記第2の昇圧容量は、その一端を上記第1のN型MOSトランジスタのゲートに接続し、他端を第2の昇圧クロック入力端とした、

ことを特徴とする負昇圧回路。

【請求項5】 請求項4記載の負昇圧回路において、上記昇圧セル列の初段の昇圧セルの入力端には、上記第1の昇圧クロック入力端に入力される昇圧クロックと逆位相の昇圧クロックが入力される、

ことを特徴とする負昇圧回路。

【請求項6】 請求項4または請求項5に記載の負昇圧回路において、

上記昇圧セルの第2の昇圧クロック入力端には、ブートストラップ回路を介して昇圧された昇圧クロックが入力される、

ことを特徴とする負昇圧回路。

【請求項7】 請求項1ないし請求項6のいずれかに記載の負昇圧回路において、

該負昇圧回路は、参照電圧に基づいて定められる検知電圧を求め、当該負昇圧回路から出力される負電圧と比較して、上記昇圧クロックを制御する昇圧クロック制御信号を出力する電圧検知回路を備えた、

ことを特徴とする負昇圧回路。

【請求項8】 請求項7記載の負昇圧回路において、

上記電圧検知回路は、

電源電位につながるカレントミラー回路と、

ソースを接地電位に接続し、ドレインを上記カレントミラー回路の電流入力端に接続した第1のN型MOSトランジスタと、

ゲートとドレインとを上記第1のN型MOSトランジスタのゲートに接続した第2のN型MOSトランジスタと、

一端を当該負昇圧回路の負電圧出力端に接続し、他端を上記第2のN型MOSトランジスタのソースに接続し、直列接続された一つあるいは複数のダイオード接続のN型MOSトランジスタからなるトランジスタ列と、

第1の入力端を上記第2のN型MOSトランジスタのドレインに接続し、第2の入力端に上記参照電圧を入力して、上記昇圧クロック制御信号を出力するコンパレータあるいは差動増幅回路とを備え、

上記第1のN型MOSトランジスタ、上記第2のN型MOSトランジスタ、及び上記トランジスタ列のトランジ

3

スタサイズはいずれも同一である、
ことを特徴とする負昇圧回路。

【請求項9】 請求項7記載の負昇圧回路において、
上記電圧検知回路は、
電源電位につながるカレントミラー回路と、
ソースを接地電位に接続し、ドレインを上記カレントミ
ラー回路の電流入力端に接続した第1のN型MOSトラン
ジスタと、
ゲートとドレインとを上記第1のN型MOSトランジスタ
のゲートに接続した第2のN型MOSトランジスタ
と、
一端を当該負昇圧回路の負電圧出力端に接続し、他端を
上記第2のN型MOSトランジスタのソースに接続し、
直列接続された一つあるいは複数のダイオード接続のN
型MOSトランジスタからなるトランジスタ列と、
上記トランジスタ列を構成するいずれかの上記N型MO
Sトランジスタのドレインに、一方の電流経路を接続
し、他方の電流経路を当該負昇圧回路の負電圧出力端に
接続した、一つあるいは複数の第3のN型MOSトラン
ジスタと、
上記検知電圧を選択する電圧選択信号のレベル変換を行
い、上記第3のN型MOSトランジスタのゲートに出力
する一つあるいは複数のレベルシフト回路と、
第1の入力端を上記第2のN型MOSトランジスタのド
レインに接続し、第2の入力端に参照電圧を入力して、
上記昇圧クロック制御信号を出力するコンパレータある
いは差動増幅回路とを備え、
上記第1のN型MOSトランジスタ、上記第2のN型M
OSトランジスタ、及び上記トランジスタ列のトランジ
スタサイズはいずれも同一とし、当該負昇圧回路の負電
圧出力端の電圧値を上記電圧選択信号により切り換え
る、
ことを特徴とする負昇圧回路。

【請求項10】 請求項7ないし請求項8のいずれかに
記載の負昇圧回路を備えた半導体集積回路であって、
該半導体集積回路は、上記参照電圧によって上記負昇圧
回路から入力される負電圧を制御し、所定の電圧値の負
電圧を出力するレギュレータ回路を備えた、
ことを特徴とする半導体集積回路。

【請求項11】 請求項9に記載の負昇圧回路を備えた
半導体集積回路であって、
該半導体集積回路は、上記参照電圧及び電圧選択信号に
よって、該負昇圧回路から入力される所定の電圧値を制
御し、該電圧値より高電位の負電圧を出力するレギュレ
ータ回路を備えた、
ことを特徴とする半導体集積回路。

【請求項12】 負昇圧回路を備えた不揮発性半導体記
憶装置であって、該負昇圧回路として、請求項6ないし
請求項9のいずれかに記載の負昇圧回路を用いる、こと
を特徴とする不揮発性半導体記憶装置。

4

【請求項13】 負昇圧回路を備えた不揮発性半導体記
憶装置であって、該負昇圧回路として、請求項10または
請求項11に記載の半導体集積回路を用いる、ことを
特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電源電圧より負電
圧の昇圧電圧を生成する負昇圧回路に関し、特に、不揮
発性半導体記憶装置の昇圧電源回路に組み込まれた負昇
圧回路と、その不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】不揮発性半導体記憶装置であるフラッシ
ュメモリ、あるいはEEPROMは、単一電源化のため
にオンチップで電源電圧の昇圧及び負電圧生成を行って
おり、書き込み、消去等に必要な電圧を供給する内部電
圧発生回路が内蔵されている。この内部電圧発生回路
は、半導体集積回路における電源電圧の低電圧化、省電
力化に伴って、高効率化が求められている。負昇圧回路
の従来例としては、例えば、特開平11-265593
号公報が挙げられる。

【0003】図15は、従来の負昇圧回路の一構成例を
示し、図16は負昇圧回路の入力クロック波形を示して
いる。図15において、M1～M5はN型MOSトラン
ジスタであり、C1～C4は昇圧容量である。N型MO
SトランジスタM1～M5はそれぞれダイオード接続さ
れ、バックゲートをドレインに接続し、それらは直列接
続されている。このトランジスタ列の一端であるN型M
OSトランジスタM1のソースは接地電位VSSに、ト
ランジスタ列の他端であるN型MOSトランジスタM5
のドレインは負電圧出力端に接続されている。また、昇
圧容量C1の一端はN型MOSトランジスタM1のドレ
インに接続され、その他端には昇圧クロックCLK1が
入力される。昇圧容量C2の一端はN型MOSトランジ
スタM2のドレインに接続され、その他端には昇圧クロ
ックCLK2が入力される。同様に昇圧容量C3は一端
をN型MOSトランジスタM3のドレインに接続して、
他端には昇圧クロックCLK1が入力され、昇圧容量C
4は一端をN型MOSトランジスタM4のドレインに接
続して、他端を昇圧クロックCLK2が入力される。

【0004】このように構成された従来の負昇圧回路に
ついて、以下その動作を説明する。入力端子には図16
に示されるように、互いに逆相の昇圧クロックCLK
1、CLK2が入力され、隣接する昇圧容量は、互いに
逆相のクロックで駆動されている。例えば、一つのN型
MOSトランジスタM2に着目して、昇圧クロックCLK
1がL、昇圧クロックCLK2がHの場合、ノードN
2はノードN1より高電位になり、ダイオード接続のN
型MOSトランジスタM2が順バイアスとなって昇圧容
量C2から昇圧容量C1の向きで電流が流れ、昇圧容量
C1と昇圧容量C2との間で電荷の受け渡しが起こり、

5

N型MOSトランジスタM2のドレインの電位が引き下げられる。それに対して、昇圧クロックCLK1がH、昇圧クロックCLK2がLの場合、ノードN2はノードN1より低電位になり、ダイオード接続のN型MOSトランジスタM2が逆バイアスとなるため電流は流れず、電荷の受け渡しは行なわれない。この電荷の受け渡しの動作が繰り返されることによりノードN2の電位は引き下げられる。つまり、従来の負昇圧回路は、各N型MOSトランジスタM1～M5において上述したような動作が行なわれる結果、出力端子VBBから接地電位VSSより低電位、すなわち負電圧が出力されることとなる。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の負昇圧回路において、N型MOSトランジスタM1～M5は、図17に示されるように、P型基板上にNウェルを形成して、さらにその中にPウェルを形成し、その上にトランジスタMiを形成する、トリプルウェル構造上に形成されており、この構成によりN型MOSトランジスタのバックゲートとドレインを接続することが可能となっている。

【0006】しかし、このトリプルウェル構造においては図17に示した寄生PNPバイポーラトランジスタQiが内包されており、ベースとなるPウェルとエミッタとなるN型拡散層が順バイアスとなると、コレクタとなるNウェルの電源電圧VDDより電流が流れ込むことになる。これは、各ノードN1～N4及び、出力電圧VBBの電位を上昇させることになり、負昇圧回路の効率が低下するという課題を有していた。本発明は、上記課題を解消するためになされたものであり、昇圧効率を向上した負昇圧回路を提供することを目的とする。

【0007】

【課題を解決するための手段】この課題を解決するために、本発明の請求項1に記載の負昇圧回路は、直列接続された複数の昇圧セル列からなる昇圧セルを並行に2列備えた負昇圧回路であって、上記昇圧セルは一つあるいは複数のN型MOSトランジスタと、一つあるいは複数の昇圧容量とを備え、上記昇圧容量の一端には昇圧クロックが入力され、対面する上記昇圧セル列の昇圧セルには互いに逆相の昇圧クロックが入力され、上記昇圧セル内の少なくとも一つのN型MOSトランジスタのバックゲート端子を、対面する上記昇圧セル列の昇圧セルより1段後段の上記昇圧セルの出力端と接続するものである。

【0008】また、本発明の請求項2に記載の負昇圧回路は、請求項1に記載の負昇圧回路において、上記昇圧セル列の最終段セルは、ゲートとドレインとを接続したダイオード接続で、ソースを上記最終段セルの入力端に接続し、ドレインを上記負昇圧回路の出力端とした第1のN型MOSトランジスタと、ゲートとドレインとを接続したダイオード接続で、ソースを上記最終段セルの入力

6

端に接続し、バックゲートをドレインに接続した第2のN型MOSトランジスタと、一端を上記第2のN型MOSトランジスタのドレインに接続し、他端を上記昇圧クロックの入力端とした昇圧容量とを備え、上記第2のN型MOSトランジスタのドレインをバックバイアス出力端とし、対面する上記昇圧セル列の1段前段の昇圧セル内のN型MOSトランジスタのバックゲート端子に該バックバイアス出力端を接続し、上記第1のN型MOSトランジスタのバックゲートを対面する上記昇圧セル列の最終段セルのバックバイアス出力端に接続するものである。

【0009】また、本発明の請求項3に記載の負昇圧回路は、請求項1または請求項2に記載の負昇圧回路において、上記昇圧セルは、一つのN型MOSトランジスタと一つの昇圧容量とを備え、上記N型MOSトランジスタは、ゲートとドレインとを接続したダイオード接続で、ソースを上記昇圧セルの入力端、ドレインを上記昇圧セルの出力端、バックゲートをバックバイアス入力端とし、上記昇圧容量の一端を上記N型MOSトランジスタのドレインに接続し、他端を昇圧クロックの入力端としたものである。

【0010】また、本発明の請求項4に記載の負昇圧回路は、請求項1または請求項2に記載の負昇圧回路において、上記昇圧セルは、第1のN型MOSトランジスタと第2のN型MOSトランジスタと、第1の昇圧容量と第2の昇圧容量とを備え、上記第1のN型MOSトランジスタは、ソースを上記昇圧セルの入力端とし、ドレインを上記昇圧セルの出力端とし、上記第2のN型MOSトランジスタは、その電流経路の一端を上記第1のN型MOSトランジスタのドレインと接続し、その電流経路の他端を上記第1のN型MOSトランジスタのゲートと接続し、上記第2のN型MOSトランジスタのゲートを上記第1のN型MOSトランジスタのソースと接続し、上記第1の昇圧容量は、その一端を上記第1のN型MOSトランジスタのドレインに接続し、他端を第1の昇圧クロック入力端とし、上記第2の昇圧容量は、その一端を上記第1のN型MOSトランジスタのゲートに接続し、他端を第2の昇圧クロック入力端としたものである。

【0011】また、本発明の請求項5に記載の負昇圧回路は、請求項4に記載の負昇圧回路において、上記昇圧セル列の初段の昇圧セルの入力端には、上記第1の昇圧クロック入力端に入力される昇圧クロックと逆位相の昇圧クロックが入力されるものである。

【0012】また、本発明の請求項6に記載の負昇圧回路は、請求項4または請求項5に記載の負昇圧回路において、上記昇圧セルの第2の昇圧クロック入力端には、ブートストラップ回路を介して昇圧された昇圧クロックが入力されるものである。

【0013】また、本発明の請求項7に記載の負昇圧回

7

路は、請求項1ないし請求項6のいずれかに記載の負昇圧回路において、該負昇圧回路は、参照電圧に基づいて定められる検知電圧を求め、当該負昇圧回路から出力される負電圧と比較して、上記昇圧クロックを制御する昇圧クロック制御信号を出力する電圧検知回路を備えたものである。

【0014】また、本発明の請求項8に記載の負昇圧回路は、請求項7記載の負昇圧回路において、上記電圧検知回路は、電源電位につながるカレントミラー回路と、ソースを接地電位に接続し、ドレインを上記カレントミラー回路の電流入力端に接続した第1のN型MOSトランジスタと、ゲートとドレインとを上記第1のN型MOSトランジスタのゲートに接続した第2のN型MOSトランジスタと、一端を当該負昇圧回路の負電圧出力端に接続し、他端を上記第2のN型MOSトランジスタのソースに接続し、直列接続された一つあるいは複数のダイオード接続のN型MOSトランジスタからなるトランジスタ列と、第1の入力端を上記第2のN型MOSトランジスタのドレインに接続し、第2の入力端に上記参照電圧を入力して、上記昇圧クロック制御信号を出力するコンパレータあるいは差動増幅回路とを備え、上記第1のN型MOSトランジスタ、上記第2のN型MOSトランジスタ、及び上記トランジスタ列のトランジスタサイズはいずれも同一なものである。

【0015】また、本発明の請求項9に記載の負昇圧回路は、請求項7記載の負昇圧回路において、上記電圧検知回路は、電源電位につながるカレントミラー回路と、ソースを接地電位に接続し、ドレインを上記カレントミラー回路の電流入力端に接続した第1のN型MOSトランジスタと、ゲートとドレインとを上記第1のN型MOSトランジスタのゲートに接続した第2のN型MOSトランジスタと、一端を当該負昇圧回路の負電圧出力端に接続し、他端を上記第2のN型MOSトランジスタのソースに接続し、直列接続された一つあるいは複数のダイオード接続のN型MOSトランジスタからなるトランジスタ列と、上記トランジスタ列を構成するいずれかの上記N型MOSトランジスタのドレインに、一方の電流経路を接続し、他方の電流経路を当該負昇圧回路の負電圧出力端に接続した、一つあるいは複数の第3のN型MOSトランジスタと、上記検知電圧を選択する電圧選択信号のレベル変換を行い、上記第3のN型MOSトランジスタのゲートに出力する一つあるいは複数のレベルシフト回路と、第1の入力端を上記第2のN型MOSトランジスタのドレインに接続し、第2の入力端に参照電圧を入力して、上記昇圧クロック制御信号を出力するコンパレータあるいは差動増幅回路とを備え、上記第1のN型MOSトランジスタ、上記第2のN型MOSトランジスタ、及び上記トランジスタ列のトランジスタサイズはいずれも同一とし、当該負昇圧回路の負電圧出力端の電圧値を上記電圧選択信号により切り換えるものである。

8

【0016】また、本発明の請求項10に記載の半導体集積回路は、請求項7ないし請求項8のいずれかに記載の負昇圧回路を備えた半導体集積回路であって、該半導体集積回路は、上記参照電圧によって上記負昇圧回路から入力される負電圧を制御し、所定の電圧値の負電圧を出力するレギュレータ回路を備えたものである。

【0017】また、本発明の請求項11に記載の半導体集積回路は、請求項9に記載の負昇圧回路を備えた半導体集積回路であって、該半導体集積回路は、上記参照電圧及び電圧選択信号によって、該負昇圧回路から入力される所定の電圧値を制御し、該電圧値より高電位の負電圧を出力するレギュレータ回路を備えたものである。

【0018】また、本発明の請求項12に記載の不揮発性半導体記憶装置は、負昇圧回路を備えた不揮発性半導体記憶装置であって、該負昇圧回路として、請求項6ないし請求項9のいずれかに記載の負昇圧回路を用いるものである。

【0019】また、本発明の請求項13に記載の不揮発性半導体記憶装置は、負昇圧回路を備えた不揮発性半導体記憶装置であって、該負昇圧回路として、請求項10または請求項11に記載の半導体集積回路を用いるものである。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。

（実施の形態1）図1は本発明の実施の形態1による負昇圧回路の回路図である。図1において、11～14、21～24は昇圧セル、15、25は最終段セルであり、M11～M16、M21～M26はN型MOSトランジスタであり、C11～C15、C21～C25は昇圧容量である。

【0021】昇圧セル11～14、21～24は、ゲートとドレインとを接続したダイオード接続のN型MOSトランジスタM11～M15、M21～M26と、昇圧容量C11～C15、C21～C26とからなり、昇圧容量の一端をN型MOSトランジスタのドレインに接続し、N型MOSトランジスタのソースを昇圧セルの入力端、バックゲートをバックバイアス入力端とし、ドレインを昇圧セルの出力端、昇圧容量の他端を昇圧クロック入力端としている。

【0022】昇圧セル11～14と最終段セル15は、直列接続されて一方の昇圧セル列を形成しており、該昇圧セル列の入力端である昇圧セル11の入力端は接地電位VSSに接続し、該昇圧セル列の出力端となる最終段セル15の出力端を負電圧出力端と接続する。同様に、昇圧セル21～24と最終段セル25は、直列接続されて他方の昇圧セル列を形成しており、該昇圧セル列の入力端である昇圧セル21の入力端は接地電位VSSに接続し、該昇圧セル列の出力端となる最終段セル25の出力端を負電圧出力端と接続する。

9

【0023】そして、一方の昇圧セル列の奇数段目に該当する昇圧セル11、13及び最終段セル15の昇圧クロック入力端には昇圧クロックCLK1を入力し、偶数段目に該当する昇圧セル12、14の昇圧クロック入力端には昇圧クロックCLK2を入力する。また、他方の昇圧セル列の奇数段目に該当する昇圧セル21、23及び最終段セル25の昇圧クロック入力端には昇圧クロックCLK2を入力し、偶数段目に該当する昇圧セル22、24の昇圧クロック入力端には昇圧クロックCLK1を入力する。すなわち、この二つの昇圧セル列は、互いに逆相の昇圧クロックで動作することになる。

【0024】バックバイアス入力端子は、対面する昇圧セル列の1段後段の昇圧セルの出力端と接続され、例えば、昇圧セル12のバックバイアス入力端は、昇圧セル23の出力端と接続される。

【0025】最終段セル15は、ゲートとドレインとを接続し、バックゲートとドレインを接続したN型MOSトランジスタM15と、ゲートとドレインとを接続したダイオード接続のN型MOSトランジスタM16と、昇圧容量C15とからなり、最終段セル15の入力端はN型MOSトランジスタM15のソースと、N型MOSトランジスタM16のソースに接続され、昇圧容量C15の一端はN型MOSトランジスタM15のドレインに接続され、他端を最終段セル15の昇圧クロック入力端とし、N型MOSトランジスタM16のドレインを最終段セル15の出力端とし、N型MOSトランジスタM16のバックゲートを最終段セル15のバックバイアス入力端とし、N型MOSトランジスタM15のドレインをバックバイアス出力端としている。最終段セル15のバックバイアス入力端は、対面する昇圧セル列の最終段セル25のバックバイアス出力端に接続されている。なお、最終段セル25の構成については、最終段セル15の構成と同様であるので、説明を省略する。

【0026】このように構成された負昇圧回路について、その動作を説明する。図2は、本発明の実施の形態1による負昇圧回路の昇圧クロックの波形を示す図であり、図3は、一つの昇圧セルに注目して各ノードの電圧波形を示した負昇圧回路の電圧波形図である。

【0027】本実施の形態1における負昇圧回路は、図2に示す互いに逆相の関係にある昇圧クロックCLK1、CLK2に従って動作するものであり、また図3に示す通り、昇圧セルの入力端（細線）と出力端（太線）については、上記昇圧クロックCLK1とCLK2により駆動されるため、図2の区間D2においては昇圧セルの入力端が高電位側ならば、その出力端は低電位側にあり、また区間D1においては昇圧セルの入力側が低電位側ならば、その出力端は高電位側にある。この時、昇圧セル内のダイオード接続したN型MOSトランジスタの働きにより、区間D1の間のみに電荷の移動が行われ、出力端の電位が下げられる。この動作が各段の昇圧セル

10

で行われることにより、負電圧出力端には負昇圧回路の段数に比例した負電圧VBBが出力される。この動作は従来の負昇圧回路と同様であるが、本実施の形態1の負昇圧回路においては、一方の昇圧セル列のバックバイアス入力端に、対面する昇圧セル列の1段後段の昇圧セルの出力端が接続されているため、図3に示すようにN型MOSトランジスタのバックゲートはドレイン、ソースより常に低電位となり（点線）、従来の負昇圧回路の課題であった寄生バイポーラトランジスタの活性化が阻止されるものである。

【0028】このように、本実施の形態1による負昇圧回路によれば、対をなす2列の昇圧セル列からなり、互いに逆相の昇圧クロックで動作し、昇圧セル内のN型MOSトランジスタのバックゲートを対面する昇圧セル列の1段後段の出力と接続したので、寄生バイポーラトランジスタの動作による電荷のロスを抑制することができ、昇圧効率の向上を図ることができる。

【0029】（実施の形態2）図4は本発明の実施の形態2による負昇圧回路の回路図であり、図5は負昇圧回路に入力される昇圧クロックの波形を示す図であり、図6は負昇圧回路の電圧波形図である。

【0030】図4において、31～34、41～44は昇圧セル、35、45は最終段セルであり、M31～M36、M51～M56は第1のN型MOSトランジスタ、M41～M44、M61～M64は第2のN型MOSトランジスタであり、また、C31～C35、C51～C55は第1の昇圧容量、C41～C44、C61～C64は第2の昇圧容量である。

【0031】各昇圧セルは、2つのN型MOSトランジスタと2つの昇圧容量とを備え、例えば昇圧セル31は、第1のN型MOSトランジスタであるN型MOSトランジスタM31のソースを昇圧セルの入力端に接続し、ドレインを昇圧セル31の出力端に接続し、第2のN型MOSトランジスタであるN型MOSトランジスタM41の電流経路の一端を昇圧セル31の出力端に接続し、電流経路の他端をN型MOSトランジスタM31のゲートに接続し、N型MOSトランジスタM41のゲートを昇圧セル31の入力端に接続し、第1の昇圧容量である昇圧容量C31は、その一端を昇圧セル31の出力端に接続し、他端を第1の昇圧クロック入力端とし、第2の昇圧容量である昇圧容量C41はその一端をN型MOSトランジスタM31のゲートに接続し、他端を第2の昇圧クロック入力端とし、N型MOSトランジスタM31とN型MOSトランジスタM41のバックゲートを互いに接続し、昇圧セル31のバックバイアス入力端としている。なお、その他の昇圧セルについては、上述した昇圧セル31と同じ構成であるので、説明を省略する。

【0032】昇圧セル31～34と最終段セル35は直列接続されて一方の昇圧セル列を形成し、昇圧セル列の

11

入力端である昇圧セル31の入力端には昇圧クロックCLK2を入力し、昇圧セル列の出力端である最終段セル35の出力端を負電圧出力端と接続する。同様に、昇圧セル41~44と最終段セル45は直列接続され他方の昇圧セル列を形成し、昇圧セル列の入力端である昇圧セル41の入力端を昇圧クロックCLK1の入力端と接続し、昇圧セル列の出力端である最終段セル45の出力端を負電圧出力端と接続する。

【0033】さらに、一方の昇圧セル列の奇数段目の昇圧セル31, 33, 35における第1の昇圧容量C31, C33, C35の一端である第1の昇圧クロック入力端には昇圧クロックCLK1を入力し、第2の昇圧容量C41, C43の一端である第2の昇圧クロック入力端には昇圧クロックCLK3を入力し、偶数段目の昇圧セル32, 34における第1の昇圧容量C32, C34の一端である第1の昇圧クロック入力端には昇圧クロックCLK2を入力し、第2の昇圧容量C42, C44の一端である第2の昇圧クロック入力端には昇圧クロックCLK4を入力している。また、もう一方の昇圧セル列の奇数段目の昇圧セル41, 43, 45における第1の昇圧容量C51, C53, C55の一端である第1の昇圧クロック入力端には昇圧クロックCLK2を入力し、第2の昇圧容量C61, C63の一端である第2の昇圧クロック入力端には昇圧クロックCLK4を入力し、偶数段目の昇圧セル42, 44における第1の昇圧容量C52, C54の一端である第1の昇圧クロック入力端には昇圧クロックCLK1を入力し、第2の昇圧容量C62, C64の一端である第2の昇圧クロック入力端には昇圧クロックCLK3を入力する。すなわち、この二つの昇圧セル列は、互いに逆相の昇圧クロックで動作することになる。

【0034】バックバイアス入力端は、対面する昇圧セル列の1段後段の昇圧セルの出力と接続され、例えば、昇圧セル32のバックバイアス入力端は、昇圧セル43の出力端と接続される。

【0035】各最終段セル35, 45は、上述した実施の形態1の負昇圧回路の最終段セルと同じ構成であり、例えば最終段セル35は、ゲートとドレインとを接続し、バックゲートとドレインとを接続したN型MOSトランジスタM35と、ゲートとドレインとを接続したダイオード接続のN型MOSトランジスタM36と昇圧容量C35とからなり、最終段セル35の入力端はN型MOSトランジスタM35のソースと、N型MOSトランジスタM36のソースとに接続され、昇圧容量C35の一端はN型MOSトランジスタM35のドレインに接続され、他端を最終段セル35の昇圧クロック入力端とし、N型MOSトランジスタM36のドレインを最終段セル35の出力端とし、N型MOSトランジスタM36のバックゲートを最終段セル35のバックバイアス入力端とし、N型MOSトランジスタM35のドレインをバ

12

ックバイアス出力端としている。最終段セル35のバックバイアス入力端は、対面する昇圧セル列の最終段セル45のバックバイアス出力端に接続されている。なお、最終段セル45の構成については、最終段セル35の構成と同様であるので、説明を省略する。

【0036】このように構成された負昇圧回路について、その動作を説明する。本実施の形態2における負昇圧回路は、図5に示す4相の昇圧クロックCLK1、CLK2、CLK3、CLK4に従って動作するものであり、また図6に示す通り、昇圧セルの入力端（細線）と出力端（太線）は、互いに逆相の関係にある昇圧クロックCLK1と昇圧クロックCLK2により駆動されるため、図5の区間D6~D8において昇圧セルの入力端が高電位側にあれば、昇圧セルの出力端は低電位側にあり、また区間D2~D4において昇圧セルの入力端が低電位側にあれば、昇圧セルの出力端は高電位側にある。このとき、区間D3において、第2のN型MOSトランジスタと第2の昇圧容量の働きにより、第1のN型MOSトランジスタのゲート電位が上がり（一点鎖線）、第1のN型MOSトランジスタがオン状態となり電荷の移動が行われることにより、昇圧セルの出力端の電位が下げられる。この動作が各段の昇圧セルで行われ、負電圧出力端には負昇圧回路の段数に比例した負電圧VBBが出力される。

【0037】このように、本実施の形態2による負昇圧回路によれば、2つのN型MOSトランジスタと2つの昇圧容量とを備えた、対をなす2列の昇圧セル列からなり、互いに逆相の昇圧クロックで動作し、昇圧セル内のN型MOSトランジスタのバックゲートを対面する昇圧セル列の1段後段の出力と接続したので、図6に示すようにN型MOSトランジスタのバックゲートはドレイン、ソースより常に低電位（点線）となり、寄生バイポーラトランジスタの活性化は阻止される実施の形態1の効果に加え、さらに、各昇圧セルにおける出力電圧の閾値電圧 V_t 分の降下をキャンセルすることができるため、同じ昇圧段数でより低電圧の負電圧VBBを得ることができる。

【0038】（実施の形態3）図7は本発明の実施の形態3による負昇圧回路の回路図であり、図8は負昇圧回路に入力される昇圧クロックの波形を示す図である。図7において図4と同一符号は同一又は相当部分である。36, 46はブートストラップ回路であり、昇圧クロックCLK3とCLK4はそれぞれブートストラップ回路36、ブートストラップ回路46を介して昇圧容量へ供給される。例えば、ブートストラップ回路36は、一方の昇圧セル列の奇数段目の昇圧セル31, 33における第2の昇圧容量C41, C43の一端である第2の昇圧クロック入力端と、もう一方の昇圧セル列の偶数段目の昇圧セル42, 44における第2の昇圧容量C62, C64の一端である第2の昇圧クロック入力端と接続され

13

ている。なお、ブートストラップ回路46の構成については、ブートストラップ回路36の構成と同様であるので、説明を省略する。

【0039】このように構成された負昇圧回路について、その動作を説明する。図8に示す通り、昇圧クロックCLK3、及び昇圧クロックCLK4を昇圧した昇圧クロックCLK3'、及びCLK4'を昇圧容量へ供給するので、各昇圧セルにおいて電荷移動の際のN型MOSトランジスタのゲート電圧が昇圧され、トランジスタの電流能力が高められ、その結果負昇圧回路全体としての電流供給能力が向上する。

【0040】このように、本実施の形態3による負昇圧回路によれば、昇圧クロックをブートストラップ回路36、46を介して昇圧容量へ供給したので、電源電圧VDDの低電圧動作における負電圧出力の電流供給能力低下を補うことができる。すなわち、負昇圧回路の低電圧動作を可能にすることができる。

【0041】（実施の形態4）図9は本発明の実施の形態4による負昇圧回路のブロック図であり、図10は負昇圧回路に含まれる電圧検知回路の一具体例を示した回路図である。図9において、51は負昇圧回路であり、52は負電圧チャージポンプ回路、53は昇圧クロック回路、54は電圧検知回路、55は参照電圧発生回路である。

【0042】負昇圧回路51は昇圧クロック回路53と負電圧チャージポンプ回路52と電圧検知回路54とからなり、昇圧クロック回路53は昇圧クロックを負電圧チャージポンプ回路52へ出力するものであり、負電圧チャージポンプ52は負電圧VBBを出力するものである。電圧検知回路54は負電圧VBBと参照電圧Vrefとを入力とし、昇圧クロック制御信号CCPを昇圧クロック回路53へ出力する。参照電圧発生回路55は参照電圧Vrefを出力する。ここで、負電圧チャージポンプ回路52は、上述した実施の形態1～3に示した負昇圧回路のうちのいずれかの構成を用いている。

【0043】図10において、60はコンパレータあるいは差動増幅回路であり、MP1、MP2はP型MOSトランジスタ、MN1、MN2、MN21～MN2nはN型MOSトランジスタである。

【0044】P型MOSトランジスタMP1はソースを電源電位VDDに接続し、ゲートをドレインと接続し、P型MOSトランジスタMP2はソースを電源電位VDDに接続し、ゲートをP型MOSトランジスタMP1のドレインに接続し、P型MOSトランジスタMP1とP型MOSトランジスタMP2によりカレントミラー回路を形成している。

【0045】N型MOSトランジスタMN1はソースを接地電位VSSに接続し、ドレインをP型MOSトランジスタMP1のドレインに接続しており、それぞれダイオード接続されたN型MOSトランジスタMN2、MN

14

21～MN2nは直列に接続されており、N型MOSトランジスタMN2のドレインはN型MOSトランジスタMN1のゲートとP型MOSトランジスタMP2のドレインに接続され、N型MOSトランジスタMN2nのソースは負昇圧回路51の負電圧出力VBBに接続されている。ここで、N型MOSトランジスタMN1及びN型MOSトランジスタMN21～MN2nはN型MOSトランジスタMN2と同じサイズのトランジスタで構成されている。コンパレータ60は、第1の入力端をN型MOSトランジスタMN2のドレインに接続し、第2の入力端には参照電圧Vrefを入力し、昇圧クロック制御信号CCPを出力する。

【0046】このように構成された負昇圧回路について、その動作を説明する。電圧検知回路54は、負電圧VBBの電圧が参照電圧Vrefに基づいて定まる所定の検知電圧以下にあるかを検知し、その結果である昇圧クロック制御信号CCPを昇圧クロック回路53へ出力する。昇圧クロック回路53は、昇圧クロック制御信号CCPに従って、負電圧VBBが所定の検知電圧値以上の場合には昇圧クロックの出力を続け、負電圧VBBが所定の検知電圧値以下の場合には昇圧クロックの出力を停止して、負電圧チャージポンプ回路52の動作を停止させ負電圧VBBの電圧を制限する。この動作により、負昇圧回路51の負電圧VBBは所定の電圧値に保たれる。

【0047】図10の電圧検知回路54において、P型MOSトランジスタMP1とP型MOSトランジスタMP2は、カレントミラー回路を形成し、このカレントミラー回路は、N型MOSトランジスタMN1の電流とN型MOSトランジスタMN2の電流とを等しくするように動作するため、N型MOSトランジスタMN1とN型MOSトランジスタMN2のゲートソース間の電圧は互いに等しくなる。N型MOSトランジスタMN1とN型トランジスタNM2は、互いのゲート同士を接続しているため、N型MOSトランジスタMN2のソース電位はN型MOSトランジスタMN1のソース電位、すなわち接地電位VSSと等しくなる。また、N型MOSトランジスタMN2とN型MOSトランジスタMN21～MN2nは、ダイオード接続された同じサイズのN型MOSトランジスタであるため、N型MOSトランジスタMN21～MN2nのゲートソース間電圧は、N型MOSトランジスタMN2と等しい。従って、N型MOSトランジスタMN2のドレインの電位vについて $VBB = -nv$ 、すなわち $v = -VBB/n$ が成り立つ。この電位と参照電圧Vrefがコンパレータ60により比較され、昇圧クロック制御信号CCPが出力される。これにより、負昇圧回路51は $Vref = -VBB/n$ となるように制御され、最終的に負電圧VBBは、 $VBB = -nVref$ となる。

【0048】このように、本実施の形態4による負昇圧

15

回路51によれば、電圧検知回路54により、負電圧VBBの電圧レベルを参照電圧Vrefに基づいて高精度に検知し、負荷チャージポンプ回路52に入力される昇圧クロックを制御することにより、負電圧VBBの電圧を精度良く制限することができるので、所定の負電圧出力を得ることができる。また、負電圧VBBの電圧を制御することで、素子耐圧以上の電圧が出力されないようにし、回路素子を保護することができる。

【0049】(実施の形態5)図11は本発明の実施の形態5による負昇圧回路のブロック図であり、図12は負昇圧回路に含まれる電圧検知回路の一具体例を示した回路図である。図11において、図9と同一符号は同一又は相当部分である。56は電圧検知回路であり、電圧選択信号CVBBが入力されている点が図9と異なる。

【0050】図12において、図10と同一符号は同一又は相当部分である。61及び62はレベルシフト回路であり、MN31、MN32はN型MOSトランジスタである。N型MOSトランジスタMN31は、ソースとバックゲートとを負電圧VBBに接続し、ドレインをN型MOSトランジスタMN2nのドレインと接続し、レベルシフト回路61は電圧選択信号CVBB1と負電圧VBBとを入力とし、その出力をN型MOSトランジスタMN31のゲートに与える。同様に、N型MOSトランジスタMN32は、ソースとバックゲートとを負電圧VBBに接続し、ドレインをN型MOSトランジスタMN2(n-1)のドレインと接続し、レベルシフト回路62は電圧選択信号CVBB2と負電圧VBBとを入力とし、その出力をN型MOSトランジスタMN32のゲートに与える。

【0051】このように構成された負昇圧回路について、その動作を説明する。上述した実施の形態4と同様に、負昇圧回路51は電圧検知回路56が出力する昇圧クロック制御信号CCPに従い、昇圧クロック回路53が昇圧クロックの出力、停止を行い、負電圧チャージポンプ回路52の動作の停止が制御され、所定の電圧値に保たれた負電圧VBBを出力する。ここでは、前述した実施の形態4と相違する点について述べる。

【0052】本実施の形態5における電圧検知回路56は、参照電圧Vrefに基づいて定められる複数種類の検知電圧をもち、そのうち一つの検知電圧を電圧選択信号CVBBに従って選択し、負電圧VBBの電圧が、選択された検知電圧値以下であるかどうかを検知し、その結果を昇圧クロック制御信号CCPとして昇圧クロック回路53へ出力する。これにより、負昇圧回路51は複数種類の電圧値より、電圧選択信号CVBBに従って選択された負電圧の出力を行うことができる。図12に示す電圧検知回路56において、上述した図10の動作と同じ構成については説明を省略する。

【0053】レベルシフト回路61、62は、それぞれ電圧選択信号CVBB1、CVBB2を受け、負電圧V

16

BBをLOWレベルにレベル変換した電圧を出力する。N型MOSトランジスタMN31、MN32は、それぞれN型MOSトランジスタMN2n、MN2(n-1)のドレインと負電圧VBBとの間でスイッチの役割をもち、レベルシフト回路61、62の出力によって制御されている。例えば、CVBB1="L"(LOWレベル)、CVBB2="H"(HIGHレベル)の場合、レベルシフト回路61、62の出力はそれぞれVBB、VDDであり、N型MOSトランジスタMN31はオフ状態、N型MOSトランジスタMN32はオン状態となる。このとき、N型MOSトランジスタMN2(n-1)のドレインの電位はVBBとなり、N型MOSトランジスタMN2n、MN2(n-1)はオフ状態となり、直列接続されたN型MOSトランジスタMN21~MN2nにおいて、実質の段数はn-2段となるため、負昇圧回路51の負電圧出力VBBはVBB=- (n-2) Vrefとなる。また、CVBB1="L"、CVBB2="L"の場合、レベルシフト回路61、62の出力は互いに負電圧VBBであり、N型MOSトランジスタMN31、MN32はオフ状態となり、負電圧VBBは、VBB=-n Vrefとなる。このようにして、電圧選択信号CVBBにより、負電圧VBBの電圧値の選択が可能となるものである。

【0054】なお、図12に示した電圧検知回路56を実現する回路はほんの一例である。このように、本実施の形態5による負昇圧回路によれば、電圧選択信号CVBBにより負電圧VBBの電圧値を変更できるので、不揮発性半導体記憶装置において、消去、書き込み等の異なる動作モードに必要な電圧値が異なる場合についても、容易に一つの負電圧回路から供給することが可能となる。なお、参照電圧発生回路55が出力する参照電圧Vrefを変化させることによって、負電圧VBBを変更あるいは調整することも可能である。

【0055】(実施の形態6)図13は本発明の実施の形態6による半導体集積回路図のブロック図である。

【0056】図13において、図11と同一符号は同一又は相当部分である。57はレギュレータ回路であり、負昇圧回路51の出力と負電圧出力端の間にレギュレータ回路57が設置され、レギュレータ回路57には参照電圧Vrefと電圧選択信号CVBBとが入力される。

【0057】このように構成された半導体集積回路について、その動作を説明する。負昇圧回路51は、電圧選択信号CVBBに従って、一定の出力電圧VBBPを出力する。レギュレータ回路57は、入力された負電圧VBBPより高く、電圧選択信号CVBBに従って選択された一定の電圧を安定的に負電圧VBBとして出力する。電圧選択信号CVBBは電圧検知回路56とレギュレータ回路57の双方に入力されており、電圧検知回路56の検知電圧とレギュレータ回路57の出力電圧VBBは、電圧選択信号CVBBの状態がどのような場合で

17

も、電圧検知回路56の検知電圧がレギュレータ回路57の出力電圧VBBより低く、かつその電圧差は小さくなるように設定される。これにより、負昇圧回路51の出力電圧VBBPの電圧変動を取り除いた安定な負電圧VBBの出力が可能になる。また、負昇圧回路51の出力電圧VBBPとレギュレータ回路57の出力VBBとの電圧差が小さいので、レギュレータ回路57内のシリコントランジスタによる電力ロスを低く抑えることができる。

【0058】このように、本実施の形態6による半導体集積回路によれば、レギュレータ回路57により電圧変動の小さい安定した負電圧VBBが得られ、かつ電圧選択信号CVBBによるいずれの出力電圧VBBPにおいても負昇圧回路51の出力電圧とレギュレータ回路57との出力電圧の差を小さく保つことができるので、レギュレータ回路57における電力ロスを抑えることができる。

【0059】なお、本実施の形態6においては、レギュレータ回路57に、参照電圧Vrefと電圧選択信号CVBBとが入力される場合を例に挙げて説明したが、電圧選択信号CVBBがレギュレータ回路57に入力されない場合は、参照電圧Vrefに従って、レギュレータ回路57から出力される出力電圧VBBは、VBBPの電圧値より高く、かつその電圧差は小さくなるように設定される。

【0060】（実施の形態7）図14は本発明の実施の形態7による不揮発性半導体記憶装置のブロック図である。図14において、70は不揮発性メモリセルアレイ、71はロウデコーダ、72はビット線制御回路、73はカラムデコーダ、74はアドレスバッファ、75はデータバッファ、76は内部電源回路、77は負電圧発生回路である。

【0061】ビット線制御回路72は、センスアンプ回路、及びカラムゲート、書き込み制御回路を含み、不揮発性メモリセルアレイ70に対して、データの読み出し、データの書き込みを行うものであり、また、ロウデコーダ71は、上記不揮発性メモリセルアレイ70の制御ゲート及び選択ゲートを制御するものである。

【0062】ビット制御回路72はデータバッファ75及びカラムデコーダ73とつながり、アドレスバッファ74はアドレス信号をロウデコーダ71とカラムデコーダ73に送信している。負電圧発生回路77を備えた内部電源回路76は、不揮発性メモリセルアレイ70の書き込み・消去時に生成した正の昇圧電圧VPPをロウデコーダ71とビット線制御回路72とカラムデコーダ73とに供給し、また負電圧発生回路77から出力される負の昇圧電圧VBBをロウデコーダ71に供給する。ここで、負電圧発生回路77は、実施の形態2から実施の形態6において説明した負昇圧回路51を備えている。

【0063】このように構成された不揮発性半導体記憶

18

装置について、その動作を説明する。まず、負電圧発生回路77において、前述した実施の形態4、あるいは5に示した負昇圧回路51を用いた場合、実施の形態4、5における負昇圧回路51は昇圧効率が向上されているので、上記不揮発性半導体記憶装置において、書き込み・消去時の電力消費が低減することができる。また、上記負昇圧回路51は昇圧効率が向上されているのでその回路規模が縮小でき、上記不揮発性半導体記憶装置の面積の削減が可能となる。

【0064】また、負電圧発生回路77に、前述した実施の形態6に示した負昇圧回路51を用いた場合、実施の形態6における負昇圧回路51では上記の効果に加え、電圧変動の小さい安定した負電圧VBBが得られるので、不揮発性メモリセル70の閾値制御の精度を向上でき、多値の不揮発性半導体記憶装置において有効である。

【0065】さらに、負電圧発生回路77に、前述した実施の形態3に示した負昇圧回路を用いた場合、実施の形態3における負昇圧回路では、低電圧での負電圧生成が可能であるため、上記不揮発性半導体記憶装置の低電圧動作を可能にすることができる。

【0066】このように、本実施の形態7による不揮発性半導体記憶装置によれば、適切な電圧値の高精度な負電圧を安定的に供給し、不揮発性半導体記憶装置の書き込み・消去等におけるメモリセルの閾値電圧制御を高精度化することができる。

【0067】

【発明の効果】以上のように、本発明の請求項1記載の負昇圧回路によれば、直列接続された複数の昇圧セル列からなる昇圧セルを並行に2列備えた負昇圧回路であって、上記昇圧セルは一つあるいは複数のN型MOSトランジスタと、一つあるいは複数の昇圧容量とを備え、上記昇圧容量の一端には昇圧クロックが入力され、対面する上記昇圧セル列の昇圧セルには互いに逆相の昇圧クロックが入力され、上記昇圧セル内の少なくとも一つのN型MOSトランジスタのバックゲート端子を、対面する上記昇圧セル列の昇圧セルより1段後段の上記昇圧セルの出力端と接続するようにしたので、各N型MOSトランジスタのバックゲート電位はドレイン及びソース電位より常に低電位に置かれ、ドレインとバックゲート間が順バイアスになることを防ぎ、寄生バイポーラトランジスタの動作による昇圧効率の低下を抑えられるため昇圧効率の向上を図ることができる。

【0068】また、本発明の請求項2記載の負昇圧回路によれば、請求項1記載の負昇圧回路において、上記昇圧セル列の最終段セルは、ゲートとドレインとを接続したダイオード接続で、ソースを上記最終段セルの入力端に接続し、ドレインを上記負昇圧回路の出力端とした第1のN型MOSトランジスタと、ゲートとドレインとを接続したダイオード接続で、ソースを上記最終段セルの

19

入力端に接続し、バックゲートをドレインに接続した第2のN型MOSトランジスタと、一端を上記第2のN型MOSトランジスタのドレインに接続し、他端を上記昇圧クロックの入力端とした昇圧容量とを備え、上記第2のN型MOSトランジスタのドレインをバックバイアス出力端とし、対面する上記昇圧セル列の1段前段の昇圧セル内のN型MOSトランジスタのバックゲート端子に該バックバイアス出力端を接続し、上記第1のN型MOSトランジスタのバックゲートを対面する上記昇圧セル列の最終段セルのバックバイアス出力端に接続するようにしたので、各N型MOSトランジスタのバックゲート電位はドレイン及びソース電位より常に低電位に置かれ、ドレインとバックゲート間が順バイアスになることを防ぎ、寄生バイポーラトランジスタの動作による昇圧効率の低下を抑えられるため昇圧効率の向上を図ることができる。

【0069】また、本発明の請求項3に記載の負昇圧回路によれば、請求項1または請求項2に記載の負昇圧回路において、上記昇圧セルは、一つのN型MOSトランジスタと一つの昇圧容量とを備え、上記N型MOSトランジスタは、ゲートとドレインとを接続したダイオード接続で、ソースを上記昇圧セルの入力端、ドレインを上記昇圧セルの出力端、バックゲートをバックバイアス入力端とし、上記昇圧容量の一端を上記N型MOSトランジスタのドレインに接続し、他端を昇圧クロックの入力端としたので、寄生バイポーラトランジスタの動作による昇圧効率の低下を抑え、昇圧効率の向上を図ることができる負昇圧回路を提供することができる。

【0070】また、本発明の請求項4に記載の負昇圧回路によれば、請求項1または請求項2に記載の負昇圧回路において、上記昇圧セルは、第1のN型MOSトランジスタと第2のN型MOSトランジスタと、第1の昇圧容量と第2の昇圧容量とを備え、上記第1のN型MOSトランジスタは、ソースを上記昇圧セルの入力端とし、ドレインを上記昇圧セルの出力端とし、上記第2のN型MOSトランジスタは、その電流経路の一端を上記第1のN型MOSトランジスタのドレインと接続し、その電流経路の他端を上記第1のN型MOSトランジスタのゲートと接続し、上記第2のN型MOSトランジスタのゲートを上記第1のN型MOSトランジスタのソースと接続し、上記第1の昇圧容量は、その一端を上記第1のN型MOSトランジスタのドレインに接続し、他端を第1の昇圧クロック入力端とし、上記第2の昇圧容量は、その一端を上記第1のN型MOSトランジスタのゲートに接続し、他端を第2の昇圧クロック入力端としたので、より低電圧の負電圧VBBを得ることができる。

【0071】また、本発明の請求項5に記載の負昇圧回路によれば、請求項4記載の負昇圧回路において、上記昇圧セル列の初段の昇圧セルの入力端には、上記第1の昇圧クロック入力端に入力される昇圧クロックと逆位相

20

の昇圧クロックが入力されるようにしたので、対をなす2列の昇圧セル列を互いに逆相の昇圧クロックで動作させることができる。

【0072】また、本発明の請求項6に記載の負昇圧回路によれば、請求項1または請求項2に記載の負昇圧回路において、上記昇圧セルは、一つのN型MOSトランジスタと一つの昇圧容量とを備え、上記N型MOSトランジスタは、ゲートとドレインとを接続したダイオード接続で、ソースを上記昇圧セルの入力端、ドレインを上記昇圧セルの出力端、バックゲートをバックバイアス入力端とし、上記昇圧容量の一端を上記N型MOSトランジスタのドレインに接続し、他端を昇圧クロックの入力端としたので、上記負昇圧回路の低電圧動作を可能にすることができる。

【0073】また、本発明の請求項7に記載の負昇圧回路によれば、請求項1ないし請求項6のいずれかに記載の負昇圧回路において、該負昇圧回路は、参照電圧に基づいて定められる検知電圧を求め、当該負昇圧回路から出力される負電圧と比較して、上記昇圧クロックを制御する昇圧クロック制御信号を出力する電圧検知回路を備えるようにしたので、上記負昇圧回路からの出力電圧を制御することにより、所定の出力電圧を得ることができ、また上記出力電圧を制御することにより素子耐圧以上の電圧が出力されることを防ぐことができる。

【0074】また、本発明の請求項8に記載の負昇圧回路によれば、請求項7記載の負昇圧回路において、上記電圧検知回路は、電源電位につながるカレントミラー回路と、ソースを接地電位に接続し、ドレインを上記カレントミラー回路の電流入力端に接続した第1のN型MOSトランジスタと、ゲートとドレインとを上記第1のN型MOSトランジスタのゲートに接続した第2のN型MOSトランジスタと、一端を当該負昇圧回路の負電圧出力端に接続し、他端を上記第2のN型MOSトランジスタのソースに接続し、直列接続された一つあるいは複数のダイオード接続のN型MOSトランジスタからなるトランジスタ列と、第1の入力端を上記第2のN型MOSトランジスタのドレインに接続し、第2の入力端に上記参照電圧を入力して、上記昇圧クロック制御信号を出力するコンパレータあるいは差動増幅回路とを備え、上記第1のN型MOSトランジスタ、上記第2のN型MOSトランジスタ、及び上記トランジスタ列のトランジスタサイズはいずれも同一であるようにしたので、上記参照電圧に基づいた高精度な電圧検知が可能になり、負昇圧回路から出力される負電圧の電圧レベルを精度良く制御することができる。

【0075】また、本発明の請求項9に記載の負昇圧回路によれば、請求項7記載の負昇圧回路において、上記電圧検知回路は、電源電位につながるカレントミラー回路と、ソースを接地電位に接続し、ドレインを上記カレントミラー回路の電流入力端に接続した第1のN型MO

21

Sトランジスタと、ゲートとドレインとを上記第1のN型MOSトランジスタのゲートに接続した第2のN型MOSトランジスタと、一端を当該負昇圧回路の負電圧出力端に接続し、他端を上記第2のN型MOSトランジスタのソースに接続し、直列接続された一つあるいは複数のダイオード接続のN型MOSトランジスタからなるトランジスタ列と、上記トランジスタ列を構成するいずれかの上記N型MOSトランジスタのドレインに、一方の電流経路を接続し、他方の電流経路を当該負昇圧回路の負電圧出力端に接続した、一つあるいは複数の第3のN型MOSトランジスタと、上記検知電圧を選択する電圧選択信号のレベル変換を行い、上記第3のN型MOSトランジスタのゲートに出力する一つあるいは複数のレベルシフト回路と、第1の入力端を上記第2のN型MOSトランジスタのドレインに接続し、第2の入力端に参照電圧を入力して、上記昇圧クロック制御信号を出力するコンパレータあるいは差動増幅回路とを備え、上記第1のN型MOSトランジスタ、上記第2のN型MOSトランジスタ、及び上記トランジスタ列のトランジスタサイズはいずれも同一とし、当該負昇圧回路の負電圧出力端の電圧値を上記電圧選択信号により切り換えるようにしたので、消去、書き込み等の異なる動作モードにおいて必要な電圧値が異なる場合についても、容易に一つの負電圧回路から供給することができる。

【0076】また、本発明の請求項10に記載の半導体集積回路によれば、請求項7ないし請求項8のいずれかに記載の負昇圧回路を備えた半導体集積回路であって、該半導体集積回路は、上記参照電圧によって上記負昇圧回路から入力される負電圧を制御し、所定の電圧値の負電圧を出力するレギュレータ回路を備えるようにしたので、上記負昇圧回路の昇圧電圧が、レギュレータ回路の出力電圧との電位差を常に小さくするように制御されることで、レギュレータ回路での電力ロスを小さくすることができ、電力効率の向上を図ることができる。

【0077】また、本発明の請求項11に記載の半導体集積回路は、請求項9に記載の負昇圧回路を備えた半導体集積回路であって、該半導体集積回路は、上記参照電圧及び電圧選択信号によって、該負昇圧回路から入力される所定の電圧値を制御し、該電圧値より高電位の負電圧を出力するレギュレータ回路を備えるようにしたので、上記負昇圧回路の出力端より高電位にレギュレートされた負電圧を出力することにより、電圧変動の小さくて安定した高精度な負電圧を得ることができ、不揮発性半導体記憶装置における書き込み・消去等の高精度な制御が可能となる。

【0078】また、本発明の請求項12に記載の不揮発性半導体記憶装置によれば、負昇圧回路を備えた不揮発性半導体記憶装置であって、該負昇圧回路として、請求項6ないし請求項9のいずれかに記載の負昇圧回路を用いるようにしたので、書き込み・消去時におけるメモリ

22

セルの閾値電圧制御を、高精度且つ高い電力効率で行うことができる。

【0079】また、本発明の請求項13に記載の不揮発性半導体記憶装置によれば、負昇圧回路を備えた不揮発性半導体記憶装置であって、該負昇圧回路として、請求項10または請求項11に記載の半導体集積回路を用いるようにしたので、書き込み・消去時におけるメモリセルの閾値電圧制御を、高精度且つ高い電力効率で行うことができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における負昇圧回路の回路図である。

【図2】本発明の実施の形態1における負昇圧回路の昇圧クロックの波形を示す図である。

【図3】本発明の実施の形態1における負昇圧回路の電圧波形図である。

【図4】本発明の実施の形態2における負昇圧回路の回路図である。

【図5】本発明の実施の形態2における負昇圧回路の昇圧クロックの波形を示す図である。

【図6】本発明の実施の形態2における負昇圧回路の電圧波形図である。

【図7】本発明の実施の形態3における負昇圧回路の回路図である。

【図8】本発明の実施の形態3における負昇圧回路の昇圧クロックの波形を示す図である。

【図9】本発明の実施の形態4における負昇圧回路のブロック図である。

【図10】本発明の実施の形態4における電圧検知部の詳細な回路図である。

【図11】本発明の実施の形態5における負昇圧回路のブロック図である。

【図12】本発明の実施の形態5における電圧検知部の詳細な回路図である。

【図13】本発明の実施の形態6における半導体集積回路図のブロック図である。

【図14】本発明の実施の形態7における不揮発性半導体記憶装置のブロック図である。

【図15】従来の負昇圧回路の回路図である。

【図16】従来の負昇圧回路の昇圧クロックの波形を示す図である。

【図17】従来の負昇圧回路におけるN型MOSトランジスタの断面構造図である。

【符号の説明】

11～14、21～24 昇圧セル

31～34、41～44 昇圧セル

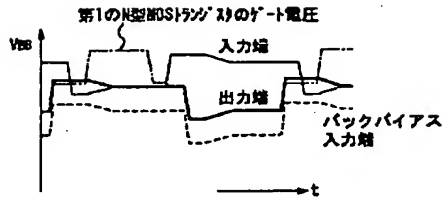
15、25、35、45 終段セル

36、46 ブートストラップ回路

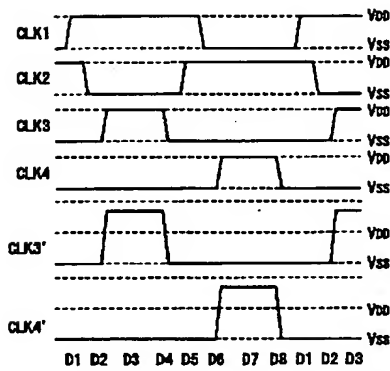
51 負昇圧回路

52 負電圧チャージポンプ回路

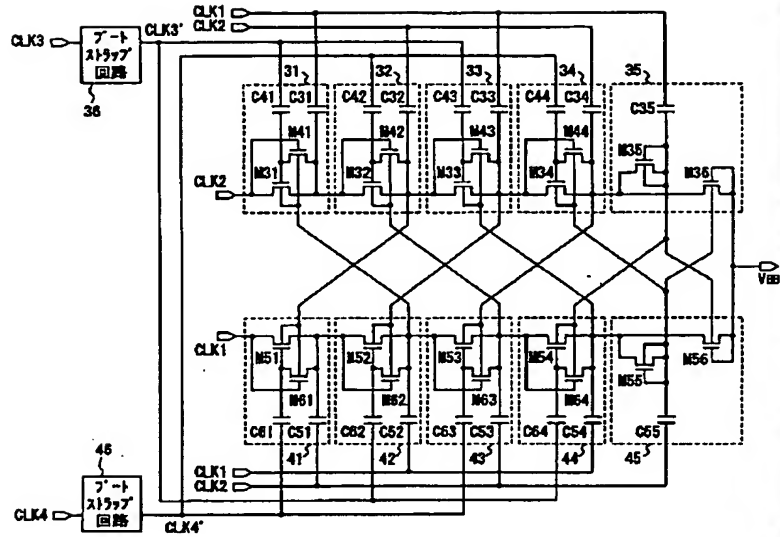
【図6】



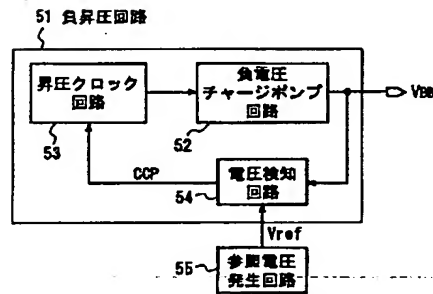
【図8】



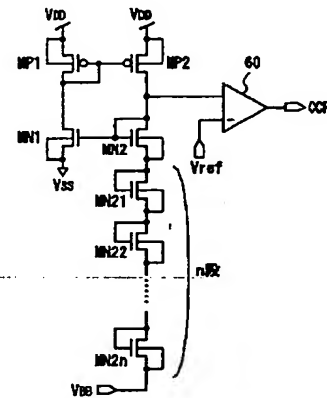
【図7】



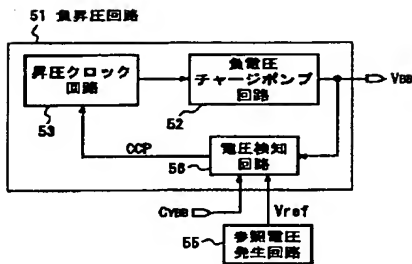
【図9】



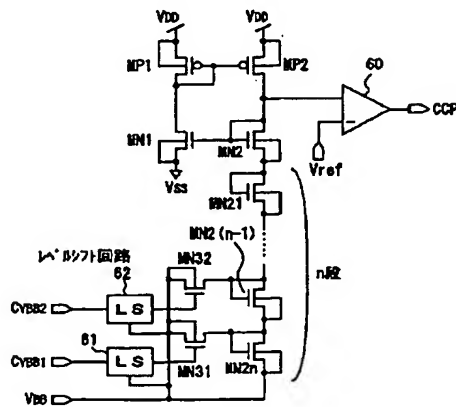
【図10】



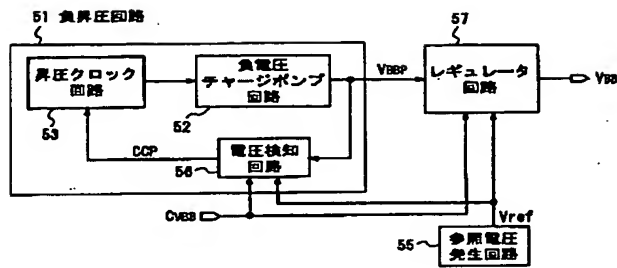
【図11】



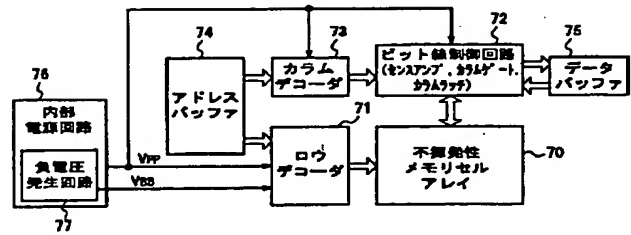
【図12】



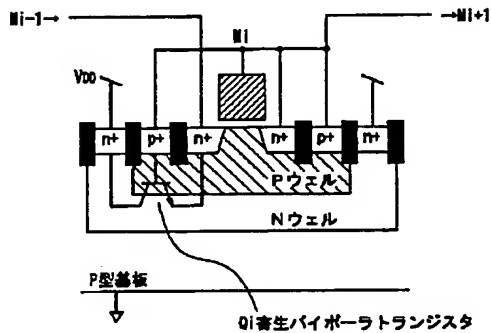
【図13】



【図14】



【図17】



フロントページの続き

(51)Int.Cl. 7
H 0 2 M 3/07

識別記号

F I

ターマコード* (参考)

(72)発明者 西田 要一
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 木村 智生
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 河合 賢
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5B025 AD10 AE06 AE07 AE08
5F038 AV06 BG03 BG05 BG06 BG08
BG10 DF01 DF05 EZ20
5F048 AA03 AB10 AC01
5H730 AA14 AS00 AS04 BB02 BB57
BB86 BB89 DD04 EE59 FD01
FG01